

明 細 書

単極単投スイッチ、単極双投スイッチ及び多極多投スイッチ

技術分野

この発明は、高周波信号の伝播を制御する単極単投スイッチ、単極双投スイッチ及び多極多投スイッチに関するものである。

背景技術

第1図は例えば、“High-power microwave transmit-receive switch with series and shunt GaAs FETs”, IEICE Trans. ELECTRON, Feb. 1992に示された従来の単極双投スイッチを示す回路図である。

第1図に示す単極双投スイッチは、入力端子1a、出力端子1b、出力端子1c、FET（電界効果トランジスタ）2a、FET 2b、インダクタ3a、インダクタ3b、線路4及びグランド5を備えている。FET 2aのドレインは入力端子1aに接続され、ソースは出力端子1cに接続されている。インダクタ3aの一方の端子は入力端子1aに接続され、他方の端子は出力端子1cに接続されている。線路4の一方の端子は入力端子1aに接続され、他方の端子は出力端子1bに接続されている。FET 2bのドレインは出力端子1bに接続され、ソースはグランド5に接続されている。インダクタ3bの一方の端子は出力端子1bに接続され、他方の端子はグランド5に接続されている。

次に動作について説明する。

第1図において、FET 2a及びFET 2bはゲートに印加する電圧

によりオン状態とオフ状態を切り換えるスイッチとして動作する。FET 2 a のゲートにドレイン電圧及びソース電圧と同電位のゲート電圧を印加すると、FET 2 a はオン状態となり抵抗性を示す。一方、FET 2 a のゲートにピンチオフ電圧以下の電圧を印加すると、FET 2 a はオフ状態となり容量性を示す。FET 2 b も同様の動作をする。

第2図は第1図におけるFET 2 a 及びFET 2 b をオフ状態としたときの等価回路図である。第2図に示すように、FET 2 a をオフ状態としたときには、FET 2 a のドレイン又はソース6 a とソース又はドレイン6 b との間に、並列に接続されたオフ容量9、オフ抵抗10と、寄生インダクタ8とが直列に接続された状態となる。FET 2 b をオフ状態としたときも同様である。

第3図は第1図におけるFET 2 a 及びFET 2 b をオン状態としたときの等価回路図である。第3図に示すように、FET 2 a をオン状態としたときには、FET 2 a のドレイン又はソース6 a とソース又はドレイン6 b との間に、オン抵抗7及び寄生インダクタ8が直列に接続された状態となる。FET 2 b をオン状態としたときも同様である。

第1図において、FET 2 a 及びFET 2 b をオフ状態にした場合、すなわち、FET 2 a 及びFET 2 b の等価回路図が第2図である場合を考える。この単極双投スイッチの使用周波数 f_1 において、寄生インダクタ8のリアクタンス成分がオフ容量9のリアクタンス成分に比べて十分小さく、オフ抵抗10が十分大きく、 $f_1 = 1/\sqrt{(FET 2 a \text{ のオフ容量9のキャパシタンス}) \times (インダクタ3 a \text{ のインダクタンス})} = 1/\sqrt{(FET 2 b \text{ のオフ容量9のキャパシタンス}) \times (インダクタ3 b \text{ のインダクタンス})}$ の関係である場合、入力端子1 a から見た出力端子1 b のインピーダンスは低くなり、入力端子1 a から見た出力端子1 c のインピーダンスは高くなる。このとき、入力端子1 a から入力さ

れた高周波信号は出力端子 1 b に出力される。

また、第 1 図において、F E T 2 a 及び F E T 2 b をオン状態にした場合、すなわち、F E T 2 a 及び F E T 2 b の等価回路図が第 3 図である場合を考える。このとき、入力端子 1 a から見た出力端子 1 b のインピーダンスは高くなり、入力端子 1 a から見た出力端子 1 c のインピーダンスは低くなる。このとき、入力端子 1 a から入力された高周波信号は出力端子 1 c に出力される。

従来の単極双投スイッチは以上のように構成されており、高耐電力を得るために F E T 2 a 及び F E T 2 b のゲート幅を大きくすると、寄生インダクタ 8 のリアクタンス成分がオフ容量 9 のリアクタンス成分に対して無視できない大きさになり、かつ、オフ抵抗 1 0 が小さくなるために、F E T 2 a 及び F E T 2 b をオフ状態にしたときに入力端子 1 a から出力端子 1 b に伝播する高周波信号の伝播損失が大きくなり、入力端子 1 a から出力端子 1 c への高周波信号のアイソレーションが低下するという課題があった。

この従来例では、単極双投スイッチについて述べているが、単極単投スイッチや多極多投スイッチでも同様の課題があった。

この発明は上記のような課題を解決するためになされたもので、マイクロ波帯又はミリ波帯にて、高耐電力でかつ高周波信号の伝播損失が少なくアイソレーションが低下しない特性を持つ単極単投スイッチ、単極双投スイッチ及び多極多投スイッチを得ることを目的とする。

発明の開示

この発明に係る単極単投スイッチは、入力端子と出力端子間の高周波信号の伝播を制御するものにおいて、電界効果トランジスタのドレイン及びソースにインダクタを並列に接続した第 1 の電界効果トランジスタ

スイッチを複数個並列に接続し、上記各電界効果トランジスタのゲートに印加する電圧により上記各電界効果トランジスタのオン状態とオフ状態を切り換え、上記高周波信号の周波数において、上記各電界効果トランジスタのオフ容量とそれぞれ接続されている上記各インダクタが並列共振するように構成するものである。

この発明により、高耐電力でかつ入力端子から出力端子への高周波信号の伝播損失を小さくすることができ、入力端子から出力端子への高周波信号のアイソレーションを低下させないという効果が得られる。

図面の簡単な説明

第1図は従来の単極双投スイッチを示す回路図である。

第2図は第1図における電界効果トランジスタをオフ状態としたときの等価回路図である。

第3図は第1図における電界効果トランジスタをオン状態としたときの等価回路図である。

第4図はこの発明の実施の形態1による単極単投スイッチの構成を示す回路図である。

第5図は第4図における電界効果トランジスタをオフ状態としたときの等価回路図である。

第6図は第4図における電界効果トランジスタをオン状態としたときの等価回路図である。

第7図はこの発明の実施の形態2による単極単投スイッチの構成を示す回路図である。

第8図は第7図における電界効果トランジスタをオフ状態にしたときの等価回路図である。

第9図は第7図における電界効果トランジスタをオン状態としたとき

の等価回路図である。

第 10 図はこの発明の実施の形態 3 による単極単投スイッチの構成を示す回路図である。

第 11 図は第 10 図における電界効果トランジスタをオフ状態にしたときの等価回路図である。

第 12 図は第 10 図における電界効果トランジスタをオン状態としたときの等価回路図である。

第 13 図はこの発明の実施の形態 4 による単極単投スイッチの構成を示す回路図である。

第 14 図は第 13 図における電界効果トランジスタをオフ状態としたときの等価回路図である。

第 15 図は第 13 図における電界効果トランジスタをオン状態としたときの等価回路図である。

第 16 図はこの発明の実施の形態 5 による単極単投スイッチの構成を示す回路図である。

第 17 図は第 16 図における電界効果トランジスタをオフ状態としたときの等価回路図である。

第 18 図は第 16 図における電界効果トランジスタをオン状態としたときの等価回路図である。

第 19 図はこの発明の実施の形態 6 による単極単投スイッチの構成を示す回路図である。

第 20 図は第 19 図における電界効果トランジスタをオフ状態としたときの等価回路図である。

第 21 図は第 19 図における電界効果トランジスタをオン状態としたときの等価回路図である。

第 22 図はこの発明の実施の形態 7 による単極双投スイッチの構成を

示す回路図である。

第 2 3 図は第 2 2 図における電界効果トランジスタをオフ状態としたときの等価回路図である。

第 2 4 図は第 2 2 図における電界効果トランジスタをオン状態としたときの等価回路図である。

第 2 5 図はこの発明の実施の形態 8 による多極多投スイッチの構成を示す回路図である。

第 2 6 図は第 2 5 図の多極多投スイッチの動作を説明する図である。

発明を実施するための最良の形態

以下、この発明をより詳細に説明するために、この発明を実施するための最良の形態について、添付の図面に従って説明する。

実施の形態 1。

第 4 図はこの発明の実施の形態 1 による単極単投スイッチの構成を示す回路図である。第 4 図に示す単極単投スイッチは、入力端子 11 a、出力端子 11 b、FET（電界効果トランジスタ）12 a、FET 12 b、インダクタ 13 a 及びインダクタ 13 b を備えている。FET 12 a とインダクタ 13 a の並列接続により第 1 の FET スイッチ 14 a を構成し、FET 12 b とインダクタ 13 b の並列接続により第 1 の FET スイッチ 14 b を構成しており、FET スイッチ 14 a、14 b の一方の端子は入力端子 11 a に接続され、他方の端子は出力端子 11 b に接続されている。このように、この実施の形態 1 では、第 1 の FET スイッチ 14 a と第 1 の FET スイッチ 14 b を並列に接続している。

FET 12 a、FET 12 b を 2 個並列に接続することにより、同じ耐電力を得るための各ゲート幅を $1/2$ にすることができ、各ゲート幅を $1/2$ にすることにより、この単極単投スイッチの使用周波数 f にお

いて、FET 12 a、FET 12 bの寄生インダクタのリアクタンス成分をオフ容量のリアクタンス成分に比べて十分小さく、かつオフ抵抗を十分大きくすることができる。

ここで、FET 12 a及びFET 12 bのドレインは入力端子 11 a又は出力端子 11 bに接続してもよく、FET 12 a及びFET 12 bのソースは出力端子 11 b又は入力端子 11 aに接続してもよい。

次に動作について説明する。

第4図において、FET 2 a及びFET 2 bはゲートに印加する電圧によりオン状態とオフ状態を切り換えるスイッチとして動作する。

第5図は第4図におけるFET 12 a及びFET 12 bをオフ状態としたときの等価回路図である。第5図に示すように、FET 12 aをオフ状態としたときには、並列に接続されたオフ容量 15 a、オフ抵抗 17 aと、寄生インダクタ 16 aとが直列に接続された状態となり、FET 12 bをオフ状態としたときには、並列に接続されたオフ容量 15 b、オフ抵抗 17 bと、寄生インダクタ 16 bとが直列に接続された状態となる。

この単極単投スイッチの使用周波数 f において、寄生インダクタ 16 a、16 bのリアクタンス成分がオフ容量 15 a、15 bのリアクタンス成分に比べて十分小さく、かつオフ抵抗 17 a、17 bが十分大きくなっており、 $f = 1/\sqrt{(\text{オフ容量 } 15 \text{ aのキャパシタンス}) \times (\text{インダクタ } 13 \text{ aのインダクタンス})} = 1/\sqrt{(\text{オフ容量 } 15 \text{ bのキャパシタンス}) \times (\text{インダクタ } 13 \text{ bのインダクタンス})}$ の関係である場合、すなわち、使用周波数 f において、オフ容量 15 aと並列共振するようなインダクタ 13 aを接続し、オフ容量 15 bと並列共振するようなインダクタ 13 bを接続することにより、入力端子 11 aから見た出力端子 11 bのインピーダンスは高くなる。このとき、入力端子 11 aから

入力された高周波信号は出力端子11bに出力されず、入力端子11aから出力端子11bへの高周波信号のアイソレーションは低下しない。

第6図は第4図におけるFET12a及びFET12bをオン状態としたときの等価回路図である。第6図に示すように、FET12aをオン状態としたときには、オン抵抗18a及び寄生インダクタ16aが直列に接続された状態となり、FET12bをオン状態としたときには、オン抵抗18b及び寄生インダクタ16bが直列に接続された状態となる。

この場合、第1のFETスイッチ14a、14bが並列に接続されていることにより、入力端子11aから見た出力端子11bのインピーダンスは低くなる。このとき、入力端子11aから入力された高周波信号は出力端子11bに出力され、入力端子11aから出力端子11bへの高周波信号の伝播損失を小さくすることができる。

この実施の形態1では、高周波信号を入力端子11aから入力し出力端子11bへの出力を制御しているが、高周波信号を出力端子11bから入力し入力端子11aへ出力する場合にも同様に制御可能である。

また、この実施の形態1では、2個の第1のFETスイッチ14a、14bを並列に接続し、各FET12a、12bのゲート幅を1/2にしているが、2個以上の複数個の第1のFETスイッチを並列に接続して、FETの数に応じてゲート幅を狭くしてもよい。

以上のように、この実施の形態1によれば、第1のFETスイッチ14a、14bを2個並列に接続することにより、同じ耐電力を得るための各ゲート幅を1/2にすることができ、この単極単投スイッチの使用周波数fにおいて、FET12a、FET12bの寄生インダクタ16a、16bのリアクタンス成分をオフ容量15a、15bのリアクタンス成分に比べて十分小さく、かつオフ抵抗17a、17bを十分大きく

することができ、オフ容量 15 a, 15 b と並列共振するようなインダクタ 13 a, 13 b を接続することにより、高耐電圧で入力端子 11 a から出力端子 11 b への高周波信号のアイソレーションを低下させないと共に、入力端子 11 a から出力端子 11 b への高周波信号の伝播損失を小さくすることができるという効果が得られる。

実施の形態 2.

第 7 図はこの発明の実施の形態 2 による単極単投スイッチの構成を示す回路図である。第 7 図に示す単極単投スイッチは、実施の形態 1 の第 4 図に示す単極単投スイッチと同様に、入力端子 11 a、出力端子 11 b、FET 12 a、FET 12 b、インダクタ 13 a、インダクタ 13 b を備えて、FET 12 a とインダクタ 13 a の並列接続により第 1 の FET スイッチ 14 a を構成し、FET 12 b とインダクタ 13 b の並列接続により第 1 の FET スイッチ 14 b を構成しているが、入力端子 11 a と出力端子 11 b が直接に接続され、第 1 の FET スイッチ 14 a 及び第 1 の FET スイッチ 14 b の一方の端子は入力端子 11 a と出力端子 11 b に接続され、他方の端子はグランド 19 に接続されている点が異なっている。このように、この実施の形態 2 では、第 1 の FET スイッチ 14 a と第 1 の FET スイッチ 14 b を並列に接続している。

FET 12 a、FET 12 b を 2 個並列に接続することにより、同じ耐電力を得るための各ゲート幅を $1/2$ にすることができ、各ゲート幅を $1/2$ にすることにより、この単極単投スイッチの使用周波数 f において、FET 12 a、FET 12 b の寄生インダクタのリアクタンス成分をオフ容量のリアクタンス成分に比べて十分小さく、かつオフ抵抗を十分大きくすることができる。

ここで、FET 12 a 及び FET 12 b のドレインは入力端子 11 a

又はグラウンド 19 に接続してもよく、FET 12a 及び FET 12b のソースはグラウンド 19 又は入力端子 11a に接続してもよい。

次に動作について説明する。

第 7 図において、FET 2a 及び FET 2b はゲートに印加する電圧によりオン状態とオフ状態を切り換えるスイッチとして動作する。

第 8 図は第 7 図における FET 12a 及び FET 12b をオフ状態にしたときの等価回路図である。第 8 図に示すように、FET 12a をオフ状態としたときには、並列に接続されたオフ容量 15a、オフ抵抗 17a と、寄生インダクタ 16a とが直列に接続された状態となり、FET 12b をオフ状態としたときには、並列に接続されたオフ容量 15b、オフ抵抗 17b と、寄生インダクタ 16b とが直列に接続された状態となる。

この場合、この単極単投スイッチの使用周波数 f において、寄生インダクタ 16a、16b のリアクタンス成分がオフ容量 15a、15b のリアクタンス成分に比べて十分小さく、かつオフ抵抗 17a、17b が十分大きくなっており、 $f = 1/\sqrt{(\text{オフ容量 } 15a \text{ のキャパシタンス}) \times (\text{インダクタ } 13a \text{ のインダクタンス})} = 1/\sqrt{(\text{オフ容量 } 15b \text{ のキャパシタンス}) \times (\text{インダクタ } 13b \text{ のインダクタンス})}$ の関係である場合、すなわち、使用周波数 f において、オフ容量 15a と並列共振するようなインダクタ 13a を接続し、オフ容量 15b と並列共振するようなインダクタ 13b を接続することにより、入力端子 11a から見たグラウンド 19 のインピーダンスは高くなる。このとき、入力端子 11a から入力された高周波信号は出力端子 11b に出力され、高周波信号の伝播損失を小さくすることができる。

第 9 図は第 7 図における FET 12a 及び FET 12b をオン状態としたときの等価回路図である。第 9 図に示すように、FET 12a をオ

ン状態としたときには、オン抵抗18a及び寄生インダクタ16aが直列に接続された状態となり、FET12bをオン状態としたときには、オン抵抗18b及び寄生インダクタ16bが直列に接続された状態となる。

この場合、第1のFETスイッチ14a、14bが並列に接続されていることにより、入力端子11aから見たグラウンド19のインピーダンスは低くなる。このとき、入力端子11aから入力された高周波信号はグラウンド19に伝搬し出力端子11bに出力されず、入力端子11aから出力端子11bへの高周波信号のアイソレーションを低下させない。

この実施の形態2では、高周波信号を入力端子11aから入力し出力端子11bへの出力を制御しているが、高周波信号を出力端子11bから入力し入力端子11aへ出力する場合も同様に制御可能である。

また、この実施の形態2では、2個の第1のFETスイッチ14a、14bを並列に接続し、各FET12a、12bのゲート幅を1/2にしているが、2個以上の複数個の第1のFETスイッチを並列に接続して、FETの数に応じてゲート幅を狭くしてもよい。

以上のように、この実施の形態2によれば、第1のFETスイッチ14a、14bを2個並列に接続することにより、同じ耐電力を得るための各ゲート幅を1/2にすることができ、この単極単投スイッチの使用周波数fにおいて、FET12a、FET12bの寄生インダクタ16a、16bのリアクタンス成分をオフ容量15a、15bのリアクタンス成分に比べて十分小さく、かつオフ抵抗17a、17bを十分大きくすることができ、オフ容量15a、15bと並列共振するようなインダクタ13a、13bを接続することにより、高耐電圧で入力端子11aから出力端子11bへの高周波信号の伝播損失を小さくすることができると共に、入力端子11aから出力端子11bへの高周波信号のアイソ

レーションを低下させないという効果が得られる。

実施の形態 3.

第 10 図はこの発明の実施の形態 3 による単極単投スイッチの構成を示す回路図である。第 10 図に示す単極単投スイッチは、入力端子 11 a、出力端子 11 b、FET 20、キャパシタ 21、インダクタ 22 を備えており、直列に接続された FET 20、キャパシタ 21 と、インダクタ 22 とを並列に接続した第 2 の FET スイッチ 14 の一方の端子が入力端子 11 a に接続され、他方の端子が出力端子 11 b に接続されている。

ここで、FET 20 のドレインは入力端子 11 a 又はキャパシタ 21 に接続してもよく、FET 20 のソースはキャパシタ 21 又は入力端子 11 a に接続してもよい。

次に動作について説明する。

第 10 図において、FET 20 はゲートに印加する電圧によりオン状態とオフ状態を切り換えるスイッチとして動作する。

第 11 図は第 10 図における FET 20 をオフ状態にしたときの等価回路図である。第 11 図に示すように、FET 20 をオフ状態としたときには、並列に接続されたオフ容量 23、オフ抵抗 24 と、寄生インダクタ 25 とが直列に接続された状態となる。

ここで、この実施の形態 3 による単極単投スイッチの使用周波数 f_2 において、 $f_2 = 1 / 2\pi\sqrt{(\text{寄生インダクタ 25 のインダクタンス}) \times (\text{キャパシタ 21 のキャパシタンス})}$ の関係であるとし、すなわち、寄生インダクタ 25 と直列共振するようなキャパシタ 21 を接続し、オフ容量 23 とインダクタ 22 の並列共振を妨げている寄生インダクタ 25 を電氣的に打ち消す。また、この単極単投スイッチの使用周波数 f_2

において、 $f_2 = 1/\sqrt{(C_{23} \times (L_{22} \times C_{22}))}$ (オフ容量 C_{23} のキャパシタンス) \times (インダクタ L_{22} のインダクタンス) の関係である場合、すなわち、オフ容量 C_{23} と並列共振するようなインダクタ L_{22} を接続することにより、入力端子 11a から見た出力端子 11b のインピーダンスは高くなる。このとき、入力端子 11a から入力された高周波信号は出力端子 11b に出力されず、入力端子 11a から出力端子 11b への高周波信号のアイソレーションを低下させない。

第 12 図は第 10 図における FET 20 をオン状態としたときの等価回路図である。第 12 図に示すように、FET 20 をオン状態としたときには、オン抵抗 R_{26} と寄生インダクタ L_{25} とが直列に接続された状態となる。

ここで、 $f_2 = 1/2\pi\sqrt{(L_{25} \times (C_{21} \times C_{22}))}$ (寄生インダクタ L_{25} のインダクタンス) \times (キャパシタ C_{21} のキャパシタンス) の関係であるとし、すなわち、寄生インダクタ L_{25} と直列共振するようなキャパシタ C_{21} を接続することにより、入力端子 11a から見た出力端子 11b のインピーダンスは低くなる。このとき、入力端子 11a から入力された高周波信号は出力端子 11b に出力され、高周波信号の伝播損失を小さくすることができる。

なお、第 11 図に示す FET 20 がオフ状態の寄生インダクタ L_{25} のインダクタンスと、第 12 図に示す FET 20 がオン状態の寄生インダクタ L_{25} のインダクタンスの値は同じであり、FET 20 のオフ状態とオン状態で寄生インダクタ L_{25} と直列共振するようなキャパシタ C_{21} のキャパシタンスの値は同じである。

この実施の形態 3 では、高周波信号を入力端子 11a から入力し出力端子 11b への出力を制御しているが、高周波信号を出力端子 11b から入力し入力端子 11a へ出力する場合も同様に制御可能である。

以上のように、この実施の形態 3 によれば、単極単投スイッチの使用周波数 f_2 において、FET 20 の寄生インダクタ 25 と直列共振するようなキャパシタ 21 を接続し、FET 20 のオフ容量 23 のキャパシタンスと並列共振するようなインダクタ 22 を接続することにより、この単極単投スイッチに高耐電力性を持たせるために FET 20 のゲート幅を大きくした場合においても、入力端子 11 a から出力端子 11 b への高周波信号のアイソレーションを低下させないと共に、入力端子 11 a から出力端子 11 b への高周波信号の伝播損失を小さくすることができるという効果が得られる。

実施の形態 4.

第 13 図はこの発明の実施の形態 4 による単極単投スイッチの構成を示す回路図である。第 13 図に示す単極単投スイッチは、実施の形態 3 の第 10 図に示す単極単投スイッチと同様に、入力端子 11 a、出力端子 11 b、FET 20、キャパシタ 21、インダクタ 22 を備えているが、入力端子 11 a と出力端子 11 b が直接に接続され、直列に接続された FET 20、キャパシタ 21 と、インダクタ 22 とを並列に接続した第 2 の FET スイッチ 14 の一方の端子が入力端子 11 a と出力端子 11 b に接続され、他方の端子がグラウンド 19 に接続されている点が異なっている。

ここで、FET 20 のドレインは入力端子 11 a 又はキャパシタ 21 に接続してもよく、FET 20 のソースはキャパシタ 21 又は入力端子 11 a に接続してもよい。

次に動作について説明する。

第 13 図において、FET 20 はゲートに印加する電圧によりオン状態とオフ状態を切り換えるスイッチとして動作する。

第14図は第13図におけるFET20をオフ状態としたときの等価回路図である。第14図に示すように、FET20をオフ状態としたときには、並列に接続されたオフ容量23、オフ抵抗24と、寄生インダクタ25とが直列に接続された状態となる。

ここで、この実施の形態による単極単投スイッチの使用周波数 f_3 において、 $f_3 = 1 / 2\pi\sqrt{}$ (寄生インダクタ25のインダクタンス) \times (キャパシタ21のキャパシタンス) の関係であるとし、すなわち、FET20の寄生インダクタ25と直列共振するようなキャパシタ21を接続し、オフ容量23とインダクタ22の並列共振を妨げている寄生インダクタ25を電氣的に打ち消す。また、この単極単投スイッチの使用周波数 f_3 において、 $f_3 = 1 / \sqrt{}$ (オフ容量23のキャパシタンス) \times (インダクタ22のインダクタンス) の関係である場合、すなわち、FET20のオフ容量23と並列共振するようなインダクタ22を接続することにより、入力端子11aから見たグランド19のインピーダンスは高くなる。このとき、入力端子11aから入力された高周波信号は出力端子11bに出力され、高周波信号の伝播損失を少なくすることができる。

第15図は第13図におけるFET20をオン状態としたときの等価回路図である。第15図に示すように、FET20をオン状態としたときには、オン抵抗26と寄生インダクタ25とが直列に接続された状態となる。

ここで、この実施の形態による単極単投スイッチの使用周波数 f_3 において、 $f_3 = 1 / 2\pi\sqrt{}$ (寄生インダクタ25のインダクタンス) \times (キャパシタ21のキャパシタンス) の関係であるとし、すなわち、FET20の寄生インダクタ25と直列共振するようなキャパシタ21を接続することにより、入力端子11aから見たグランド19のインピー

ダンスは低くなる。このとき、入力端子 11a から入力された高周波信号はグラウンド 19 に伝播し出力端子 11b に出力されず、入力端子 11a から出力端子 11b への高周波信号のアイソレーションを低下させない。

なお、第 14 図に示す FET 20 がオフ状態の寄生インダクタ 25 のインダクタンスと、第 15 図に示す FET 20 がオン状態の寄生インダクタ 25 のインダクタンスの値は同じであり、FET 20 のオフ状態とオン状態で寄生インダクタ 25 と直列共振するようなキャパシタ 21 のキャパシタンスの値は同じである。

この実施の形態 4 では、高周波信号を入力端子 11a から入力し出力端子 11b への出力を制御しているが、高周波信号を出力端子 11b から入力し入力端子 11a へ出力する場合も同様に制御可能である。

以上のように、この実施の形態 4 によれば、単極単投スイッチの使用周波数 f_3 において、寄生インダクタ 25 と直列共振するようなキャパシタ 21 を接続し、オフ容量 23 と並列共振するようなインダクタ 22 を接続することにより、この単極単投スイッチに高耐電力性を持たせるために FET 20 のゲート幅を大きくした場合においても、入力端子 11a から出力端子 11b への高周波信号の伝播損失を小さくすることができると共に、入力端子 11a から出力端子 11b への高周波信号のアイソレーションを低下させないという効果が得られる。

実施の形態 5.

第 16 図はこの発明の実施の形態 5 による単極単投スイッチの構成を示す回路図である。第 16 図に示す単極単投スイッチは、実施の形態 3 の第 10 図に示す第 2 の FET スイッチ 14 を 2 個並列に使用したものであり、入力端子 11a、出力端子 11b、FET 12a、FET 12

b、インダクタ13a、インダクタ13b、キャパシタ27a、キャパシタ27bを備えている。直列に接続されたFET12a、キャパシタ27aと、インダクタ13aとを並列に接続した第2のFETスイッチ14aと、直列に接続されたFET12b、キャパシタ27bと、インダクタ13bとを並列に接続した第2のFETスイッチ14bの一方の端子は入力端子11aに接続され、他方の端子は出力端子11bに接続されている。

次に動作について説明する。

第16図において、FET12a及びFET12bは、ゲートに印加する電圧によりオン状態とオフ状態を切り換えるスイッチとして動作する。

第17図は第16図におけるFET12a及びFET12bをオフ状態としたときの等価回路図である。第17図に示すように、FET12aをオフ状態としたときには、並列に接続されたオフ容量15a、オフ抵抗17aと、寄生インダクタ16aとが直列に接続された状態となり、FET12bをオフ状態としたときには、並列に接続されたオフ容量15b、オフ抵抗17bと、寄生インダクタ16bとが直列に接続された状態となる。

ここで、この実施の形態による単極単投スイッチの使用周波数 f_4 において、 $f_4 = 1 / 2\pi\sqrt{(\text{寄生インダクタ16aのインダクタンス}) \times (\text{キャパシタ27aのキャパシタンス})} = 1 / 2\pi\sqrt{(\text{寄生インダクタ16bのインダクタンス}) \times (\text{キャパシタ27bのキャパシタンス})}$ の関係であるとし、すなわち、寄生インダクタ16aと直列共振するようなキャパシタ27aを接続し、オフ容量15aとインダクタ13aの並列共振を妨げている寄生インダクタ16aを電氣的に打ち消し、寄生インダクタ16bと直列共振するようなキャパシタ27bを接続し、オ

フ容量 15 b とインダクタ 13 b の並列共振を妨げている寄生インダクタ 16 b を電氣的に打ち消す。また、この単極単投スイッチの使用周波数 f_4 において、 $f_4 = 1/\sqrt{(\text{オフ容量 } 15 \text{ a のキャパシタンス}) \times (\text{インダクタ } 13 \text{ a のインダクタンス})} = 1/\sqrt{(\text{オフ容量 } 15 \text{ b のキャパシタンス}) \times (\text{インダクタ } 13 \text{ b のインダクタンス})}$ の関係である場合、すなわち、オフ容量 15 a と並列共振するようなインダクタ 13 a を接続し、オフ容量 15 b と並列共振するようなインダクタ 13 b を接続すると、入力端子 11 a から見た出力端子 11 b のインピーダンスは高くなる。このとき、入力端子 11 a から入力された高周波信号は出力端子 11 b に出力されず、入力端子 11 a から出力端子 11 b への高周波信号のアイソレーションは低下しない。

第 18 図は第 16 図における FET 12 a 及び FET 12 b をオン状態としたときの等価回路図である。第 18 図に示すように、FET 12 a をオン状態としたときには、オン抵抗 18 a 及び寄生インダクタ 16 a が直列に接続された状態となり、FET 12 b をオン状態としたときには、オン抵抗 18 b 及び寄生インダクタ 16 b が直列に接続された状態となる。

ここで、単極単投スイッチの使用周波数 f_4 において、 $f_4 = 1/2\pi\sqrt{(\text{寄生インダクタ } 16 \text{ a のインダクタンス}) \times (\text{キャパシタ } 27 \text{ a のキャパシタンス})} = 1/2\pi\sqrt{(\text{寄生インダクタ } 16 \text{ b のインダクタンス}) \times (\text{キャパシタ } 27 \text{ b のキャパシタンス})}$ の関係であるとし、すなわち、寄生インダクタ 16 a と直列共振するようなキャパシタ 27 a を接続し、寄生インダクタ 16 b と直列共振するようなキャパシタ 27 b を接続すると、入力端子 11 a から見た出力端子 11 b のインピーダンスは低くなる。このとき、入力端子 11 a から入力された高周波信号は出力端子 11 b に出力され、高周波信号の伝播損失を少なくすること

ができる。

なお、第17図に示すFET12a, 12bがオフ状態の寄生インダクタ16a, 16bのインダクタンスと、第18図に示すFET12a, 12bがオン状態の寄生インダクタ16a, 16bのインダクタンスの値はそれぞれ同じであり、FET12a, 12bのオフ状態とオン状態で寄生インダクタ16a, 16bと直列共振するようなキャパシタ27a, 27bのキャパシタンスの値はそれぞれ同じである。

この実施の形態5では、高周波信号を入力端子11aから入力し出力端子11bへの出力を制御しているが、高周波信号を出力端子11bから入力し入力端子11aへの出力も同様に制御可能である。

また、この実施の形態5では、2個の第2のFETスイッチ14a, 14bを並列に接続しているが、2個以上の複数個の第2のFETスイッチを並列に接続してもよい。

以上のように、この実施の形態5によれば、単極単投スイッチの使用周波数f4において、寄生インダクタ16aと直列共振するようなキャパシタ27aを接続し、寄生インダクタ16bと直列共振するようなキャパシタ27bを接続し、オフ容量15aと並列共振するようなインダクタ13aを接続し、オフ容量15bと並列共振するようなインダクタ13bを接続することにより、この単極単投スイッチに高耐電力性を持たせるためにFET12a, 12bのゲート幅を大きくした場合においても、入力端子11aから出力端子11bへの高周波信号のアイソレーションを低下させず、入力端子11aから出力端子11bへの高周波信号の伝播損失を小さくすることができるという効果が得られる。

実施の形態6.

第19図はこの発明の実施の形態6による単極単投スイッチの構成を

示す回路図である。第19図に示す単極単投スイッチは、実施の形態4の第13図に示す第2のFETスイッチ14を2個並列に使用したものであり、入力端子11a、出力端子11b、FET12a、FET12b、インダクタ13a、インダクタ13b、キャパシタ27a、キャパシタ27b、グラウンド19を備えている。直列に接続されたFET12a、キャパシタ27aと、インダクタ13aとを並列に接続した第2のFETスイッチ14aと、直列に接続されたFET12b、キャパシタ27bと、インダクタ13bとを並列に接続した第2のFETスイッチ14bの一方の端子は入力端子11aと出力端子11bに接続され、他方の端子はグラウンド19に接続されている。

次に動作について説明する。

第19図において、FET12a及びFET12bは、ゲートに印加する電圧によりオン状態とオフ状態を切り換えるスイッチとして動作する。

第20図は第19図におけるFET12a及びFET13bをオフ状態としたときの等価回路図である。第20図に示すように、FET12aをオフ状態としたときには、並列に接続されたオフ容量15a、オフ抵抗17aと、寄生インダクタ16aとが直列に接続された状態となり、FET12bをオフ状態としたときには、並列に接続されたオフ容量15b、オフ抵抗17bと、寄生インダクタ16bとが直列に接続された状態となる。

ここで、この実施の形態による単極単投スイッチの使用周波数 f_4 において、 $f_4 = 1 / 2\pi\sqrt{(\text{寄生インダクタ16aのインダクタンス}) \times (\text{キャパシタ27aのキャパシタンス})} = 1 / 2\pi\sqrt{(\text{寄生インダクタ16bのインダクタンス}) \times (\text{キャパシタ27bのキャパシタンス})}$ の関係であるとし、すなわち、寄生インダクタ16aと直列共振するよ

うなキャパシタ 27 a を接続し、オフ容量 15 a とインダクタ 13 a の並列共振を妨げている寄生インダクタ 16 a を電氣的に打ち消し、寄生インダクタ 16 b と直列共振するようなキャパシタ 27 b を接続し、オフ容量 15 b とインダクタ 13 b の並列共振を妨げている寄生インダクタ 16 b を電氣的に打ち消す。また、この単極単投スイッチの使用周波数 f_4 において、 $f_4 = 1/\sqrt{(\text{オフ容量 } 15 \text{ a のキャパシタンス}) \times (\text{インダクタ } 13 \text{ a のインダクタンス})} = 1/\sqrt{(\text{オフ容量 } 15 \text{ b のキャパシタンス}) \times (\text{インダクタ } 13 \text{ b のインダクタンス})}$ の関係である場合、すなわち、オフ容量 15 a と並列共振するようなインダクタ 13 a を接続し、オフ容量 15 b と並列共振するようなインダクタ 13 b を接続すると、入力端子 11 a から見たグランド 19 のインピーダンスは高くなる。このとき、入力端子 11 a から入力された高周波信号は出力端子 11 b に出力され、高周波信号の伝播損失を少なくすることができる。

第 21 図は第 19 図における FET 12 a 及び FET 12 b をオン状態としたときの等価回路図である。第 21 図に示すように、FET 12 a をオン状態としたときには、オン抵抗 18 a 及び寄生インダクタ 16 a が直列に接続された状態となり、FET 12 b をオン状態としたときには、オン抵抗 18 b 及び寄生インダクタ 16 b が直列に接続された状態となる。

ここで、単極単投スイッチの使用周波数 f_4 において、 $f_4 = 1/2\pi\sqrt{(\text{寄生インダクタ } 16 \text{ a のインダクタンス}) \times (\text{キャパシタ } 27 \text{ a のキャパシタンス})} = 1/2\pi\sqrt{(\text{寄生インダクタ } 16 \text{ b のインダクタンス}) \times (\text{キャパシタ } 27 \text{ b のキャパシタンス})}$ の関係であるとし、すなわち、寄生インダクタ 16 a と直列共振するようなキャパシタ 27 a を接続し、寄生インダクタ 16 b と直列共振するようなキャパシタ 27

bを接続すると、入力端子11aから見たグラウンド19のインピーダンスは低くなる。このとき、入力端子11aから入力された高周波信号はグラウンド19に伝播し出力端子11bには出力されず、入力端子11aから出力端子11bへの高周波信号のアイソレーションは低下しない。

なお、第20図に示すFET12a, 12bがオフ状態の寄生インダクタ16a, 16bのインダクタンスと、第21図に示すFET12a, 12bがオン状態の寄生インダクタ16a, 16bのインダクタンスの値はそれぞれ同じであり、FET12a, 12bのオフ状態とオン状態で寄生インダクタ16a, 16bと直列共振するようなキャパシタ27a, 27bのキャパシタンスの値はそれぞれ同じである。

この実施の形態6では、高周波信号を入力端子11aから入力し出力端子11bへの出力を制御しているが、高周波信号を出力端子11bから入力し入力端子11aへ出力する場合も同様に制御可能である。

また、この実施の形態6では、2個の第2のFETスイッチ14a, 14bを並列に接続しているが、2個以上の複数個の第2のFETスイッチを並列に接続してもよい。

以上のように、この実施の形態6によれば、単極単投スイッチの使用周波数f4において、寄生インダクタ16aと直列共振するようなキャパシタ27aを接続し、寄生インダクタ16bと直列共振するようなキャパシタ27bを接続し、オフ容量15aと並列共振するようなインダクタ13aを接続し、オフ容量15bと並列共振するようなインダクタ13bを接続することにより、この単極単投スイッチに高耐電力性を持たせるためにFET12a, 12bのゲート幅を大きくした場合においても、入力端子11aから出力端子11bへの高周波信号の伝播損失を小さくすることができ、入力端子11aから出力端子11bへの高周波信号のアイソレーションを低下させないという効果が得られる。

実施の形態 7.

第 2 2 図はこの発明の実施の形態 7 による単極双投スイッチの構成を示す回路図である。第 2 2 図に示す単極双投スイッチは、入力端子 2 8 a、出力端子 2 8 b、出力端子 2 8 c、FET 2 9 a、FET 2 9 b、FET 2 9 c、インダクタ 3 0 a、インダクタ 3 0 b、インダクタ 3 0 c、キャパシタ 3 2、線路 3 3 及びグランド 1 9 を備えている。FET 2 9 a とインダクタ 3 0 a を並列に接続した第 1 の FET スイッチ 3 1 a と、FET 2 9 b とインダクタ 3 0 b を並列に接続した第 1 の FET スイッチ 3 1 b の一方の端子は入力端子 2 8 a に接続され、他方の端子は出力端子 2 8 c に接続されている。線路 3 3 の一方の端子は入力端子 2 8 a に接続され、他方の端子は出力端子 2 8 b に接続されている。直列に接続された FET 2 9 c、キャパシタ 3 2 と、インダクタ 3 0 c とを並列に接続した第 2 の FET スイッチ 3 1 c の一方の端子は出力端子 2 8 b に接続され、他方の端子はグランド 1 9 に接続されている。ここで、線路 3 3 の線路長は使用周波数 f_5 において $1/4$ 波長であるとする。

この実施の形態 7 では、実施の形態 1 の第 4 図に示す第 1 の FET スイッチ 1 4 a、1 4 b を第 1 の FET スイッチ 3 1 a、3 1 b として使用し、実施の形態 4 の第 1 3 図に示す第 2 の FET スイッチ 1 4 を第 2 の FET スイッチ 3 1 c として使用している。

次に動作について説明する。

第 2 2 図において、FET 2 9 a、FET 2 9 b 及び FET 2 9 c はゲートに印加する電圧によりオン状態とオフ状態を切り換えるスイッチとして動作する。

第 2 3 図は第 2 2 図における FET 2 9 a、FET 2 9 b 及び FET

29cをオフ状態としたときの等価回路図である。第23図に示すように、FET29aをオフ状態としたときには、並列に接続されたオフ容量34a、オフ抵抗35aと、寄生インダクタ36aとが直列に接続された状態となり、FET29bをオフ状態としたときには、並列に接続されたオフ容量34b、オフ抵抗35bと、寄生インダクタ36bとが直列に接続された状態となり、FET29cをオフ状態としたときには、並列に接続されたオフ容量34c、オフ抵抗35cと、寄生インダクタ36cとが直列に接続された状態となる。

ここで、この実施の形態による単極双投スイッチの使用周波数 f_5 において、 $f_5 = 1 / 2\pi\sqrt{(\text{寄生インダクタ36cのインダクタンス}) \times (\text{キャパシタ32のキャパシタンス})}$ の関係で、 $f_5 = 1 / 2\pi\sqrt{(\text{オフ容量34cのキャパシタンス}) \times (\text{インダクタ30cのインダクタンス})}$ の関係であるとする。

また、FET29a、FET29bを2個並列に接続することにより、同じ耐電力を得るための各ゲート幅を $1/2$ にすることができ、各ゲート幅を $1/2$ にすることにより、この単極双投スイッチの使用周波数 f_5 において、FET29a、FET29bの寄生インダクタ36a、36bのリアクタンス成分をオフ容量34a、34bのリアクタンス成分に比べて十分小さく、かつオフ抵抗35a、35bを十分大きくすることができる。

また、この単極双投スイッチの使用周波数 f_5 において、 $f_5 = 1 / \sqrt{(\text{オフ容量34aのキャパシタンス}) \times (\text{インダクタ30aのインダクタンス})} = 1 / \sqrt{(\text{オフ容量34bのキャパシタンス}) \times (\text{インダクタ30bのインダクタンス})} = 1 / \sqrt{(\text{オフ容量34cのキャパシタンス}) \times (\text{インダクタ30cのインダクタンス})}$ の関係である場合、入力端子28aから見た出力端子28bのインピーダンスは低くなり、入力

端子 28 a から見た出力端子 28 c のインピーダンスは高くなる。このとき、入力端子 28 a から入力された高周波信号は出力端子 28 b に出力され、高周波信号の伝播損失を少なくすることができ、入力端子 28 a から入力された高周波信号は出力端子 28 c に出力されず、入力端子 28 a から出力端子 28 c への高周波信号のアイソレーションは低下しない。

第 24 図は第 22 図における FET 29 a、FET 29 b 及び FET 29 c をオン状態としたときの等価回路図である。第 24 図に示すように、FET 29 a をオン状態としたときにはオン抵抗 37 a 及び寄生インダクタ 36 a が直列に接続された状態となり、FET 29 b をオン状態としたときにはオン抵抗 37 b 及び寄生インダクタ 36 b が直列に接続された状態となり、FET 29 c をオン状態としたときにはオン抵抗 37 c 及び寄生インダクタ 36 c が直列に接続された状態となる。

ここで、単極双投スイッチの使用周波数 f_5 において、 $f_5 = 1 / (2\pi \sqrt{(\text{寄生インダクタ } 36 c \text{ のインダクタンス}) \times (\text{キャパシタ } 32 \text{ のキャパシタンス})})$ の関係であるとし、線路 33 の線路長は使用周波数 f_5 において $1/4$ 波長であるので、この場合、入力端子 28 a から見た出力端子 28 b のインピーダンスは高くなり、第 1 の FET スwitch 31 a、31 b が並列に接続されているので、入力端子 28 a から見た出力端子 28 c のインピーダンスは低くなる。このとき、入力端子 28 a から入力された高周波信号は出力端子 28 c に出力され、高周波信号の伝播損失を少なくすることができると共に、入力端子 28 a から入力された高周波信号は出力端子 28 b に出力されず、入力端子 28 a から出力端子 28 b への高周波信号のアイソレーションは低下しない。

この実施の形態 7 における単極双投スイッチでは、第 1 の FET スwitch 31 a、31 b、第 2 の FET スwitch 31 c を使用しているが、

実施の形態 1, 2 に示す第 1 の FET スイッチにより単極双投スイッチを構成してもよく、実施の形態 3, 4, 5, 6 に示す第 2 の FET スイッチにより単極双投スイッチを構成してもよく、実施の形態 1 ~ 6 に示す第 1 の FET スイッチ及び第 2 の FET スイッチを適宜組合わせて単極双投スイッチを構成してもよい。

以上のように、この実施の形態 7 によれば、実施の形態 1 から実施の形態 6 で示す単極単投スイッチを組み合わせることにより、単極双投スイッチを構成することができ、入力端子 28 a から出力端子 28 b, 28 c への高周波信号の伝播損失を小さくすることができると共に、入力端子 28 a から出力端子 28 b, 28 c への高周波信号のアイソレーションを低下させないという効果が得られる。

実施の形態 8.

第 25 図はこの発明の実施の形態 8 による多極多投スイッチの構成を示す回路図である。上記実施の形態 7 の第 22 図においては、単極双投スイッチに限って説明したが、上記実施の形態 1 から実施の形態 6 で示す単極単投スイッチを組み合わせることによって、例えば、第 25 図に示すような多極多投スイッチを構成することもできる。

第 25 図に示す多極多投スイッチは、入力端子又は出力端子 38 a, 38 b, 38 c, 38 d、FET 39 a, 39 b, 39 c, 39 d、キャパシタ 40 a, 40 b, 40 c, 40 d、インダクタ 41 a, 41 b, 41 c, 41 d を備えている。FET 39 a とキャパシタ 40 a とインダクタ 41 a により第 2 の FET スイッチ 42 a を構成し、FET 39 b とキャパシタ 40 b とインダクタ 41 b により第 2 の FET スイッチ 42 b を構成し、FET 39 c とキャパシタ 40 c とインダクタ 41 c により第 2 の FET スイッチ 42 c を構成し、FET 39 d とキャパ

シタ40dとインダクタ41dにより第2のFETスイッチ42dを構成している。

第2のFETスイッチ42a, 42b, 42c, 42dの一方の端子は入力端子又は出力端子38a, 38b, 38c, 38dにそれぞれ接続され、他方の端子同士は全て接続されている。

次に動作について説明する。

第26図は第25図の多極多投スイッチの動作を説明する図であり、各FET39a, 39b, 39c, 39dのオン、オフを制御することにより、所定の入力端子から入力された高周波信号は所定の出力端子に出力される。

この実施の形態8における多極多投スイッチでは、第2のFETスイッチ42a, 42b, 42c, 42dを使用しているが、実施の形態1, 2に示す第1のFETスイッチにより多極多投スイッチを構成してもよく、実施の形態3, 4, 5, 6に示す第2のFETスイッチにより多極多投スイッチを構成してもよく、実施の形態1~6に示す第1のFETスイッチ及び第2のFETスイッチを適宜組合わせて多極多投スイッチを構成してもよい。

以上のように、この実施の形態8によれば、実施の形態1から実施の形態6で示す単極単投スイッチを組み合わせてすることにより、多極多投スイッチを構成することができ、各入力端子から各出力端子への高周波信号の伝播損失を小さくできると共に、各入力端子から各出力端子への高周波信号のアイソレーションを低下させないという効果が得られる。

産業上の利用可能性

以上のように、この発明に係る単極単投スイッチ、単極双投スイッチ

及び多極多投スイッチは、高周波信号の伝播損失を小さくし、高周波信号のアイソレーションを低下させないものに適している。

請 求 の 範 囲

1. 入力端子と出力端子間の高周波信号の伝播を制御する単極単投スイッチにおいて、

電界効果トランジスタのドレイン及びソースにインダクタを並列に接続した第1の電界効果トランジスタスイッチを複数個並列に接続し、上記各電界効果トランジスタのゲートに印加する電圧により上記各電界効果トランジスタのオン状態とオフ状態を切り換え、上記高周波信号の周波数において、上記各電界効果トランジスタのオフ容量とそれぞれ接続されている上記各インダクタが並列共振するように構成することを特徴とする単極単投スイッチ。

2. 入力端子と出力端子間に第1の電界効果トランジスタスイッチを複数個並列に接続することを特徴とする請求の範囲第1項記載の単極単投スイッチ。

3. 入力端子と出力端子を接続し、

上記入力端子とグランド間に第1の電界効果トランジスタスイッチを複数個並列に接続することを特徴とする請求の範囲第1項記載の単極単投スイッチ。

4. 入力端子と出力端子間の高周波信号の伝播を制御する単極単投スイッチにおいて、

電界効果トランジスタのドレイン又はソースにキャパシタを直列に接続した直列回路にインダクタを並列に接続することにより第2の電界効果トランジスタスイッチを構成し、上記電界効果トランジスタのゲート

に印加する電圧により上記電界効果トランジスタのオン状態とオフ状態を切り換え、上記高周波信号の周波数において、上記電界効果トランジスタの寄生インダクタと上記キャパシタが直列共振し、上記電界効果トランジスタのオフ容量と上記インダクタが並列共振するように構成することを特徴とする単極単投スイッチ。

5. 入力端子と出力端子間に第2の電界効果トランジスタスイッチを接続することを特徴とする請求の範囲第4項記載の単極単投スイッチ。

6. 入力端子と出力端子間に第2の電界効果トランジスタスイッチを複数個並列に接続することを特徴とする請求の範囲第5項記載の単極単投スイッチ。

7. 入力端子と出力端子を接続し、

入力端子とグランド間に第2の電界効果トランジスタスイッチを接続することを特徴とする請求の範囲第4項記載の単極単投スイッチ。

8. 入力端子とグランド間に第2の電界効果トランジスタスイッチを複数個並列に接続することを特徴とする請求の範囲第7項記載の単極単投スイッチ。

9. 入力端子と2個の出力端子間の高周波信号の伝播を制御する単極双投スイッチにおいて、

請求の範囲第1項記載の第1の電界効果トランジスタスイッチを複数個並列に使用することを特徴とする単極双投スイッチ。

10. 入力端子と2個の出力端子間の高周波信号の伝播を制御する単極双投スイッチにおいて、

請求の範囲第4項記載の第2の電界効果トランジスタスイッチを使用することを特徴とする単極双投スイッチ。

11. 複数の入力端子と複数の出力端子間の高周波信号の伝播を制御する多極多投スイッチにおいて、

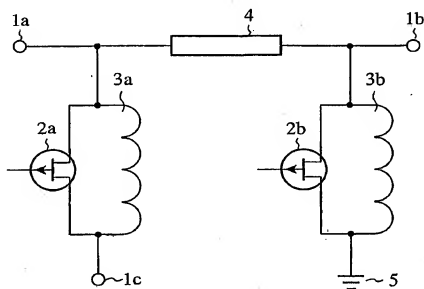
請求の範囲第1項記載の第1の電界効果トランジスタスイッチを複数個並列に使用することを特徴とする多極多投スイッチ。

12. 複数の入力端子と複数の出力端子間の高周波信号の伝播を制御する多極多投スイッチにおいて、

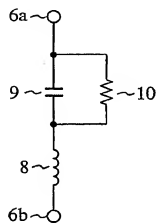
請求の範囲第4項記載の第2の電界効果トランジスタスイッチを使用することを特徴とする多極多投スイッチ。

1/16

第1図



第2図

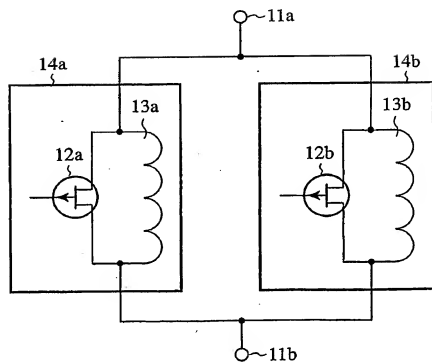


2/16

第3図

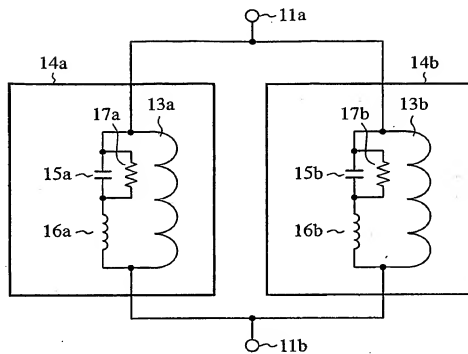


第4図

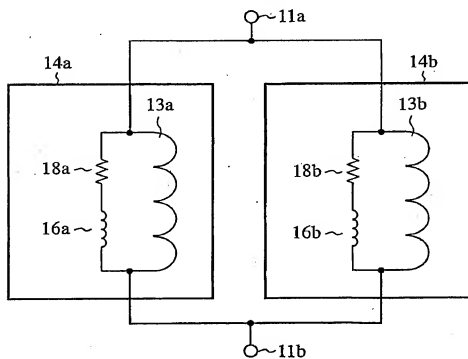


3/16

第5図

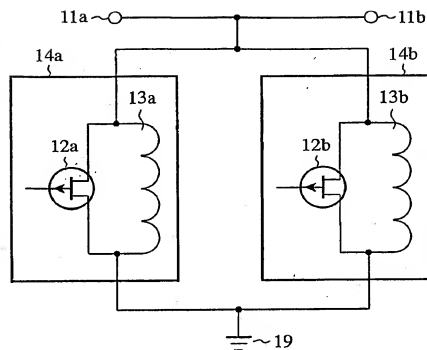


第6図

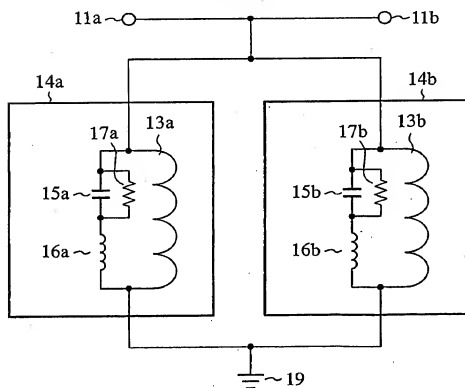


4/16

第7図

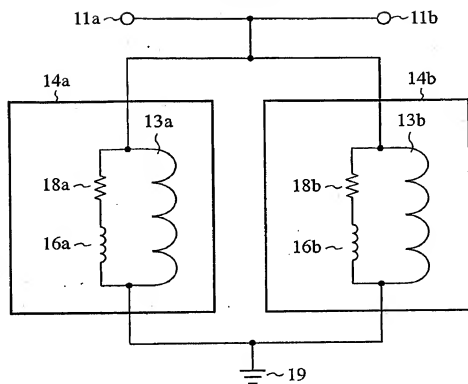


第8図

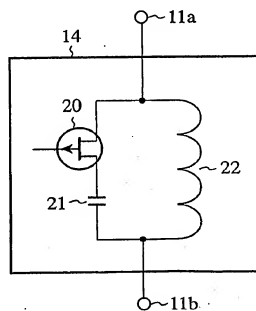


5/16

第9図

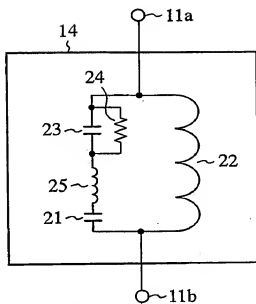


第10図

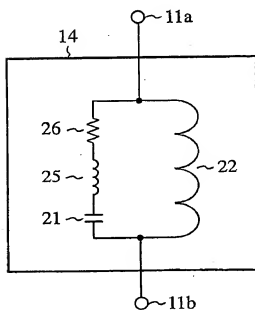


6/16

第11図

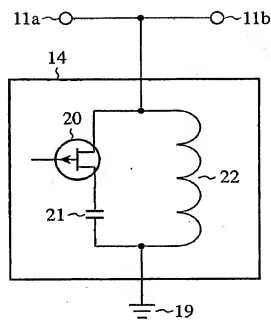


第12図

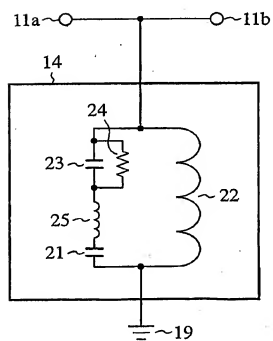


7/16

第13図

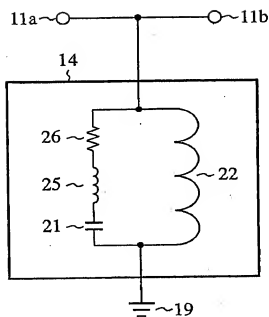


第14図

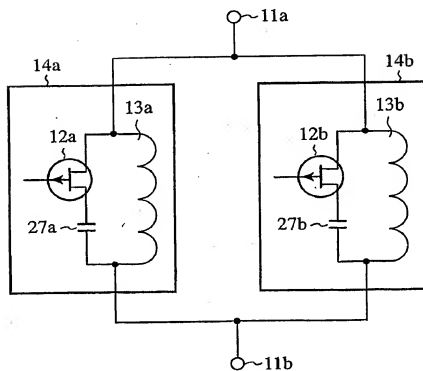


8/16

第15図

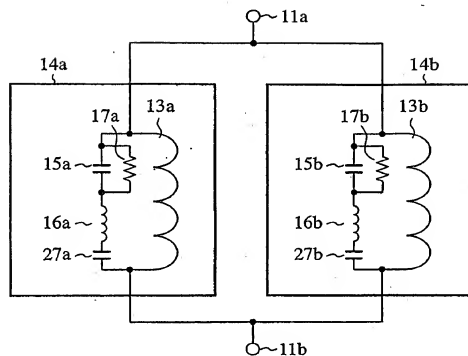


第16図

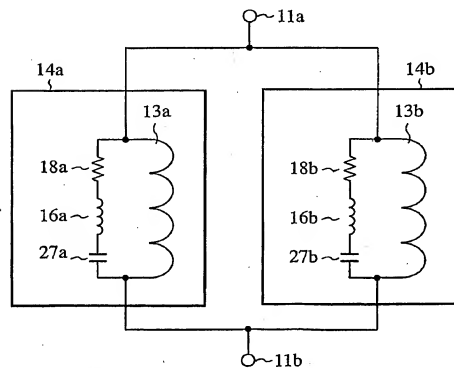


9/16

第17図

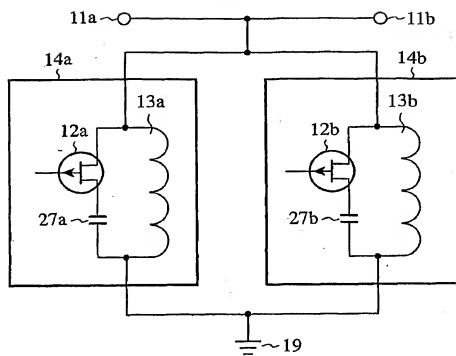


第18図

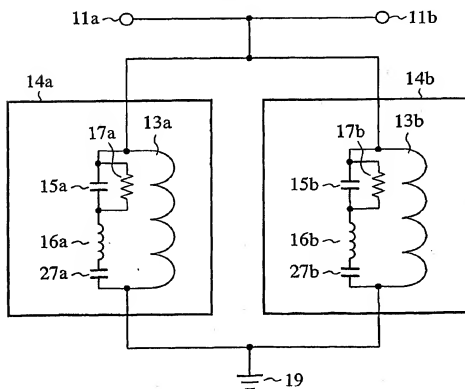


10/16

第19図

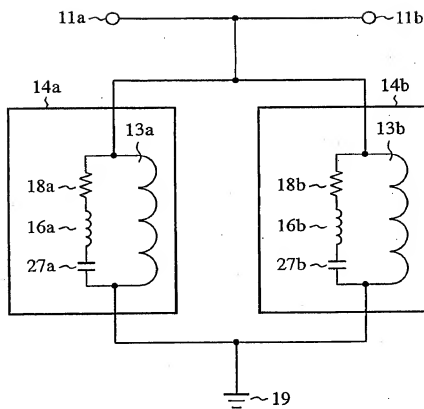


第20図

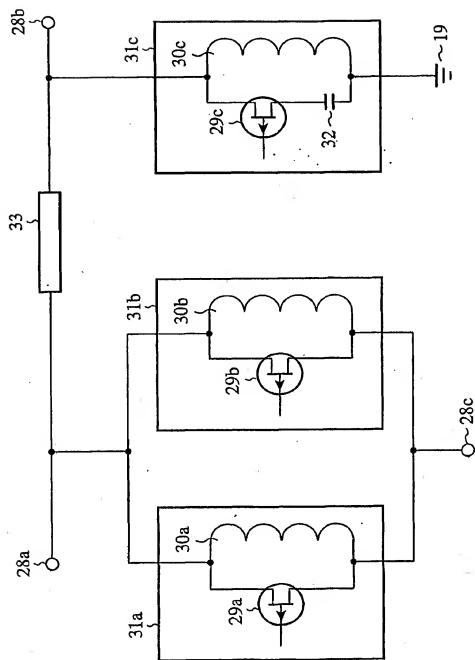


11/16

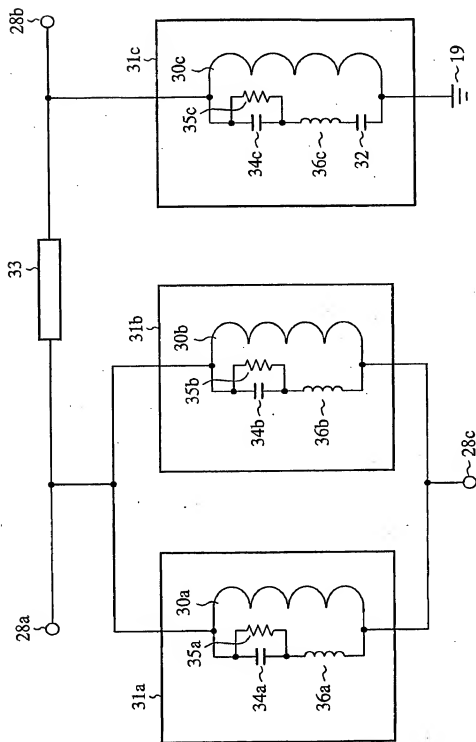
第21図



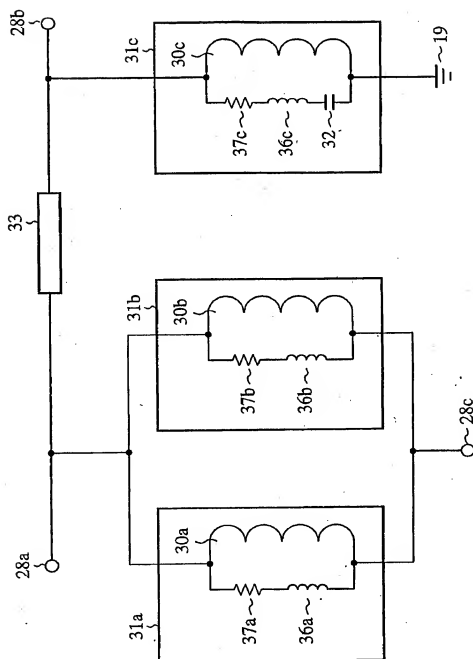
第22図



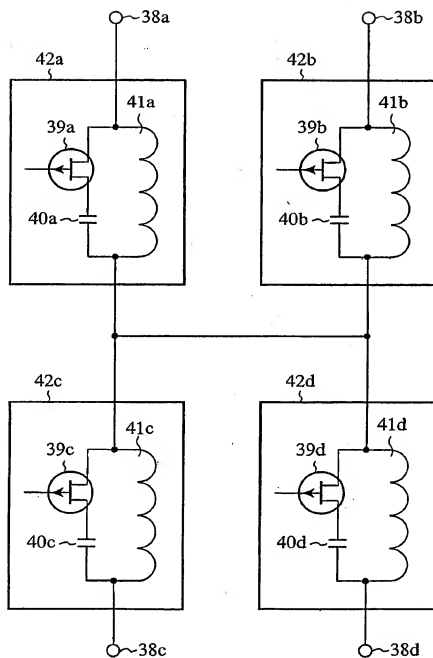
第23図



第24図



第25図



16/16

第26図

入力端子 又は 出力端子	出力端子 又は 入力端子	FET39a	FET39b	FET39c	FET39d
38a	38b	オン	オン	オフ	オフ
	38c	オン	オフ	オン	オフ
	38d	オン	オフ	オフ	オン
38b	38c	オフ	オン	オン	オフ
	38d	オフ	オン	オフ	オン
38c	38d	オフ	オフ	オン	オン

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/004015

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl.⁷ H01P1/15, H03K17/06

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl.⁷ H01P1/15, H03K17/00, H01L21/00-27/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2004
Kokai Jitsuyo Shinan Koho 1971-2004 Toroku Jitsuyo Shinan Koho 1994-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 5-299995 A (Nippon Telegraph And Telephone Corp.), 12 November, 1993 (12.11.93), Full text; all drawings (Family: none)	1-12
Y	JP 8-213472 A (Nippon Telegraph And Telephone Corp.), 20 August, 1996 (20.08.96), Full text; all drawings (Family: none)	11-12
A	JP 5-55803 A (Mitsubishi Electric Corp.), 05 March, 1993 (05.03.93), Full text; all drawings (Family: none)	1-12

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"B" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"Z" document member of the same patent family

Date of the actual completion of the international search
21 May, 2004 (21.05.04)

Date of mailing of the international search report
08 June, 2004 (08.06.04)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

Form PCT/ISA/210 (second sheet) (January 2004)

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl. H01P 1/15, H03K 17/06

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl. H01P 1/15, H03K17/00, H01L 21/00-27/00

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年

日本国公開実用新案公報 1971-2004年

日本国登録実用新案公報 1996-2004年

日本国実用新案登録公報 1994-2004年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	J P 5-299995 A (日本電信電話株式会社) 1993. 11, 12, 全文、全図 (ファミリーなし)	1-12
Y	J P 8-213472 A (日本電信電話株式会社) 1996. 08, 20, 全文、全図 (ファミリーなし)	11-12
A	J P 5-55803 A (三菱電機株式会社) 1993. 03. 05, 全文、全図 (ファミリーなし)	1-12

☐ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に抵触を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

21.05.2004

国際調査報告の発送日

08.6.2004

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

新川 圭二

5T

8623

電話番号 03-3581-1101 内線 6711

PATENT COOPERATION TREATY

PCT

INTERNATIONAL PRELIMINARY REPORT ON PATENTABILITY (Chapter I of the Patent Cooperation Treaty)

(PCT Rule 44bis)

Applicant's or agent's file reference 549061B	FOR FURTHER ACTION		See item 4 below
International application No. PCT/JP2004/004015	International filing date (day/month/year) 24 March 2004 (24.03.2004)	Priority date (day/month/year)	
International Patent Classification (8th edition unless older edition indicated) See relevant information in Form PCT/ISA/237			
Applicant mitsubishi denki kabushiki kaisha			

1.	This international preliminary report on patentability (Chapter I) is issued by the International Bureau on behalf of the International Searching Authority under Rule 44 bis.1(a).																								
2.	This REPORT consists of a total of 4 sheets, including this cover sheet.																								
In the attached sheets, any reference to the written opinion of the International Searching Authority should be read as a reference to the international preliminary report on patentability (Chapter I) instead.																									
3.	<p>This report contains indications relating to the following items:</p> <table style="width: 100%;"> <tr> <td style="width: 10%;"><input checked="" type="checkbox"/></td> <td style="width: 30%;">Box No. I</td> <td style="width: 60%;">Basis of the report</td> </tr> <tr> <td><input type="checkbox"/></td> <td>Box No. II</td> <td>Priority</td> </tr> <tr> <td><input type="checkbox"/></td> <td>Box No. III</td> <td>Non-establishment of opinion with regard to novelty, inventive step and industrial applicability</td> </tr> <tr> <td><input type="checkbox"/></td> <td>Box No. IV</td> <td>Lack of unity of invention</td> </tr> <tr> <td><input checked="" type="checkbox"/></td> <td>Box No. V</td> <td>Reasoned statement under Article 35(2) with regard to novelty, inventive step or industrial applicability; citations and explanations supporting such statement</td> </tr> <tr> <td><input type="checkbox"/></td> <td>Box No. VI</td> <td>Certain documents cited</td> </tr> <tr> <td><input type="checkbox"/></td> <td>Box No. VII</td> <td>Certain defects in the international application</td> </tr> <tr> <td><input type="checkbox"/></td> <td>Box No. VIII</td> <td>Certain observations on the international application</td> </tr> </table>	<input checked="" type="checkbox"/>	Box No. I	Basis of the report	<input type="checkbox"/>	Box No. II	Priority	<input type="checkbox"/>	Box No. III	Non-establishment of opinion with regard to novelty, inventive step and industrial applicability	<input type="checkbox"/>	Box No. IV	Lack of unity of invention	<input checked="" type="checkbox"/>	Box No. V	Reasoned statement under Article 35(2) with regard to novelty, inventive step or industrial applicability; citations and explanations supporting such statement	<input type="checkbox"/>	Box No. VI	Certain documents cited	<input type="checkbox"/>	Box No. VII	Certain defects in the international application	<input type="checkbox"/>	Box No. VIII	Certain observations on the international application
<input checked="" type="checkbox"/>	Box No. I	Basis of the report																							
<input type="checkbox"/>	Box No. II	Priority																							
<input type="checkbox"/>	Box No. III	Non-establishment of opinion with regard to novelty, inventive step and industrial applicability																							
<input type="checkbox"/>	Box No. IV	Lack of unity of invention																							
<input checked="" type="checkbox"/>	Box No. V	Reasoned statement under Article 35(2) with regard to novelty, inventive step or industrial applicability; citations and explanations supporting such statement																							
<input type="checkbox"/>	Box No. VI	Certain documents cited																							
<input type="checkbox"/>	Box No. VII	Certain defects in the international application																							
<input type="checkbox"/>	Box No. VIII	Certain observations on the international application																							
4.	The International Bureau will communicate this report to designated Offices in accordance with Rules 44bis.3(c) and 93bis.1 but not, except where the applicant makes an express request under Article 23(2), before the expiration of 30 months from the priority date (Rule 44bis.2).																								

The International Bureau of WIPO 34, chemin des Colombettes 1211 Geneva 20, Switzerland	Date of issuance of this report 29 November 2006 (29.11.2006)
Facsimile No. +41 22 338 82 70 Form PCT/IB/373 (January 2004)	Authorized officer <div style="text-align: center; font-weight: bold; font-size: 1.2em;">Yoshiko Kuwahara</div> e-mail: pct07@wipo.int

PATENT COOPERATION TREATY

TRANSLATION

From the
INTERNATIONAL SEARCHING AUTHORITY

PCT

WRITTEN OPINION OF THE
INTERNATIONAL SEARCHING AUTHORITY

(PCT Rule 43bis.1)

To:

Date of mailing
(day/month/year)

Applicant's or agent's file reference

549061B

FOR FURTHER ACTION

See paragraph 2 below

International application No.

PCT/JP2004/004015

International filing date (day/month/year)

24.03.2004

Priority date (day/month/year)

International Patent Classification (IPC) or both national classification and IPC

Applicant

MITSUBISHI DENKI KABUSHIKI KAISHA

1. This opinion contains indications relating to the following items:

- ☒ Box No. I Basis of the opinion
- ☐ Box No. II Priority
- ☐ Box No. III Non-establishment of opinion with regard to novelty, inventive step and industrial applicability
- ☐ Box No. IV Lack of unity of invention
- ☒ Box No. V Reasoned statement under Rule 43bis.1(a)(i) with regard to novelty, inventive step or industrial applicability; citations and explanations supporting such statement
- ☐ Box No. VI Certain documents cited
- ☐ Box No. VII Certain defects in the international application
- ☐ Box No. VIII Certain observations on the international application

2. FURTHER ACTION

If a demand for international preliminary examination is made, this opinion will be considered to be a written opinion of the International Preliminary Examining Authority ("IPEA") except that this does not apply where the applicant chooses an Authority other than this one to be the IPEA and the chosen IPEA has notified the International Bureau under Rule 66.1bis(b) that written opinions of this International Searching Authority will not be so considered.

If this opinion is, as provided above, considered to be a written opinion of the IPEA, the applicant is invited to submit to the IPEA a written reply together, where appropriate, with amendments, before the expiration of 3 months from the date of mailing of Form PCT/ISA/220 or before the expiration of 22 months from the priority date, whichever expires later.

For further options, see Form PCT/ISA/220.

3. For further details, see notes to Form PCT/ISA/220.

Name and mailing address of the ISA/JP

Authorized officer

Facsimile No.

Telephone No.

WRITTEN OPINION OF THE
INTERNATIONAL SEARCHING AUTHORITY

International application No.

PCT/JP2004/004015

Box No. I Basis of this opinion

1. With regard to the language, this opinion has been established on the basis of the international application in the language in which it was filed, unless otherwise indicated under this item.
☐ This opinion has been established on the basis of a translation from the original language into the following language _____, which is the language of a translation furnished for the purposes of international search (under Rule 12.3 and 23.1(b)).
2. With regard to any nucleotide and/or amino acid sequence disclosed in the international application and necessary to the claimed invention, this opinion has been established on the basis of:
 - a. type of material
☐ a sequence listing
☐ table(s) related to the sequence listing
 - b. format of material
☐ in written format
☐ in computer readable form
 - c. time of filing/furnishing
☐ contained in the international application as filed.
☐ filed together with the international application in computer readable form.
☐ furnished subsequently to this Authority for the purposes of search.
3. ☐ In addition, in the case that more than one version or copy of a sequence listing and/or table(s) relating thereto has been filed or furnished, the required statements that the information in the subsequent or additional copies is identical to that in the application as filed or does not go beyond the application as filed, as appropriate, were furnished.
4. Additional comments:

WRITTEN OPINION OF THE
INTERNATIONAL SEARCHING AUTHORITY

International application No.

PCT/JP2004/004015

Box No. V	Reasoned statement under Rule 43bis.1(a)(i) with regard to novelty, inventive step or industrial applicability; citations and explanations supporting such statement		
1. Statement			
Novelty (N)	Claims	1-12	YES
	Claims		NO
Inventive step (IS)	Claims		YES
	Claims	1-12	NO
Industrial applicability (IA)	Claims	1-12	YES
	Claims		NO
2. Citations and explanations:			
<p>Document 1: JP, 5-299995, A (Nippon Telegraph And Telephone Corp.), 12 November, 1993 (12.11.93), Full text; all drawings</p> <p>Document 2: JP, 8-213472, A (Nippon Telegraph And Telephone Corp.), 20 August, 1996 (20.08.96), Full text; all drawings</p> <p>Claims 1-10</p> <p>Document 1 discloses that 1) inductors are connected in parallel to drains and sources of FETs to resonate the off capacity of the FET switches and the said inductors in parallel; 2) the FET switches are connected in parallel to widen the gate width; 3) FET switches are connected in between an input terminal and ground; and 4) when FET switches, wherein inductors are connected in parallel with a series circuit having capacitors connected in series with drains or sources of FETs, are turned on, a series resonance is generated; and also describes 5) a single-pole double-throw switch using FET switches. By combining these matters as required, therefore, a person skilled in the art could have easily conceived the inventions described in claims 1-10.</p> <p>Claims 11 and 12</p> <p>As document 2 describes a double-pole double-throw switch constituted with transistor switches, a person skilled in the art could easily employ the FET switches described in document 1 in place of the said transistor switches.</p>			

PATENT COOPERATION TREATY

From the
INTERNATIONAL SEARCHING AUTHORITY

To:

PCT

TRANSLATION

WRITTEN OPINION OF THE
INTERNATIONAL SEARCHING AUTHORITY

(PCT Rule 43bis.1)

Date of mailing
(day/month/year)

Applicant's or agent's file reference

549061B

FOR FURTHER ACTION

See paragraph 2 below

International application No.

PCT/JP2004/004015

International filing date (day/month/year)

24.03.2004

Priority date (day/month/year)

International Patent Classification (IPC) or both national classification and IPC

Applicant

MITSUBISHI DENKI KABUSHIKI KAISHA

1. This opinion contains indications relating to the following items:

- ☒ Box No. I Basis of the opinion
- ☐ Box No. II Priority
- ☐ Box No. III Non-establishment of opinion with regard to novelty, inventive step and industrial applicability
- ☐ Box No. IV Lack of unity of invention
- ☒ Box No. V Reasoned statement under Rule 43bis.1(a)(i) with regard to novelty, inventive step or industrial applicability; citations and explanations supporting such statement
- ☐ Box No. VI Certain documents cited
- ☐ Box No. VII Certain defects in the international application
- ☐ Box No. VIII Certain observations on the international application

2. **FURTHER ACTION**

If a demand for international preliminary examination is made, this opinion will be considered to be a written opinion of the International Preliminary Examining Authority ("IPEA") except that this does not apply where the applicant chooses an Authority other than this one to be the IPEA and the chosen IPEA has notified the International Bureau under Rule 56.1b(i)(b) that written opinions of this International Searching Authority will not be so considered.

If this opinion is, as provided above, considered to be a written opinion of the IPEA, the applicant is invited to submit to the IPEA a written reply together, where appropriate, with amendments, before the expiration of 3 months from the date of mailing of Form PCT/ISA/Z20 or before the expiration of 22 months from the priority date, whichever expires later.

For further options, see Form PCT/ISA/Z20.

3. For further details, see notes to Form PCT/ISA/Z20.

Name and mailing address of the ISA/JP

Authorized officer

Facsimile No.

Telephone No.

WRITTEN OPINION OF THE
INTERNATIONAL SEARCHING AUTHORITY

International application No.

PCT/JP2004/004015

Box No. 1 Basis of this opinion

1. With regard to the language, this opinion has been established on the basis of the international application in the language in which it was filed, unless otherwise indicated under this item.
☐ This opinion has been established on the basis of a translation from the original language into the following language _____, which is the language of a translation furnished for the purposes of international search (under Rule 12.3 and 23.1(b)).
2. With regard to any nucleotide and/or amino acid sequence disclosed in the international application and necessary to the claimed invention, this opinion has been established on the basis of:
 - a. type of material
☐ a sequence listing
☐ table(s) related to the sequence listing
 - b. format of material
☐ in written format
☐ in computer readable form
 - c. time of filing/furnishing
☐ contained in the international application as filed.
☐ filed together with the international application in computer readable form.
☐ furnished subsequently to this Authority for the purposes of search.
3. ☐ In addition, in the case that more than one version or copy of a sequence listing and/or table(s) relating thereto has been filed or furnished, the required statements that the information in the subsequent or additional copies is identical to that in the application as filed or does not go beyond the application as filed, as appropriate, were furnished.
4. Additional comments:

WRITTEN OPINION OF THE
INTERNATIONAL SEARCHING AUTHORITY

International application No.

PCT/JP2004/004015

Box No. V Reasoned statement under Rule 43bis.1(a)(i) with regard to novelty, inventive step or industrial applicability; citations and explanations supporting such statement

1. Statement

Novelty (N)	Claims <u>1-12</u>	YES
	Claims _____	NO
Inventive step (IS)	Claims _____	YES
	Claims <u>1-12</u>	NO
Industrial applicability (IA)	Claims <u>1-12</u>	YES
	Claims _____	NO

2. Citations and explanations:

Document 1: JP, 5-299995, A (Nippon Telegraph And Telephone Corp.), 12 November, 1993 (12.11.93), Full text; all drawings

Document 2: JP, 8-213472, A (Nippon Telegraph And Telephone Corp.), 20 August, 1996 (20.08.96), Full text; all drawings

Claims 1-10

Document 1 discloses that 1) inductors are connected in parallel to drains and sources of FETs to resonate the off capacity of the FET switches and the said inductors in parallel; 2) the FET switches are connected in parallel to widen the gate width; 3) FET switches are connected in between an input terminal and ground; and 4) when FET switches, wherein inductors are connected in parallel with a series circuit having capacitors connected in series with drains or sources of FETs, are turned on, a series resonance is generated; and also describes 5) a single-pole double-throw switch using FET switches. By combining these matters as required, therefore, a person skilled in the art could have easily conceived the inventions described in claims 1-10.

Claims 11 and 12

As document 2 describes a double-pole double-throw switch constituted with transistor switches, a person skilled in the art could easily employ the FET switches described in document 1 in place of the said transistor switches.

PATENT COOPERATION TREATY

PCT

INTERNATIONAL PRELIMINARY REPORT ON PATENTABILITY (Chapter I of the Patent Cooperation Treaty)

(PCT Rule 44bis)

Applicant's or agent's file reference 549061B	FOR FURTHER ACTION		See item 4 below
International application No. PCT/JP2004/004015	International filing date (<i>day/month/year</i>) 24 March 2004 (24.03.2004)	Priority date (<i>day/month/year</i>)	
International Patent Classification (8th edition unless older edition indicated) See relevant information in Form PCT/ISA/237			
Applicant MITSUBISHI DENKI KABUSHIKI KAISHA			

1. This international preliminary report on patentability (Chapter I) is issued by the International Bureau on behalf of the International Searching Authority under Rule 44 *bis*.1(a).
2. This REPORT consists of a total of 4 sheets, including this cover sheet.

In the attached sheets, any reference to the written opinion of the International Searching Authority should be read as a reference to the international preliminary report on patentability (Chapter I) instead.
3. This report contains indications relating to the following items:

<input checked="" type="checkbox"/> Box No. I	Basis of the report
<input type="checkbox"/> Box No. II	Priority
<input type="checkbox"/> Box No. III	Non-establishment of opinion with regard to novelty, inventive step and industrial applicability
<input type="checkbox"/> Box No. IV	Lack of unity of invention
<input checked="" type="checkbox"/> Box No. V	Reasoned statement under Article 35(2) with regard to novelty, inventive step or industrial applicability; citations and explanations supporting such statement
<input type="checkbox"/> Box No. VI	Certain documents cited
<input type="checkbox"/> Box No. VII	Certain defects in the international application
<input type="checkbox"/> Box No. VIII	Certain observations on the international application
4. The International Bureau will communicate this report to designated Offices in accordance with Rules 44bis.3(c) and 93bis.1 but not, except where the applicant makes an express request under Article 23(2), before the expiration of 30 months from the priority date (Rule 44bis .2).

The International Bureau of WIPO 34, chemin des Colombettes 1211 Geneva 20, Switzerland Facsimile No. +41 22 338 82 70 Form PCT/IB/373 (January 2004)	<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td style="padding: 2px;">Date of issuance of this report 28 September 2006 (28.09.2006)</td> </tr> <tr> <td style="padding: 2px;">Authorized officer Yoshiko Kuwahara e-mail: pt07@wipo.int</td> </tr> </table>	Date of issuance of this report 28 September 2006 (28.09.2006)	Authorized officer Yoshiko Kuwahara e-mail: pt07@wipo.int
Date of issuance of this report 28 September 2006 (28.09.2006)			
Authorized officer Yoshiko Kuwahara e-mail: pt07@wipo.int			

発行人 日本国特許庁 (国際調査機関)

特許協力条約

REC'D 10 JUN 2004

WIPO

PCT

出願人代理人
田澤 博昭

あて名

〒100-0013

東京都千代田区鍛冶三丁目7番1号大東ビル7階

PCT
国際調査機関の見解書
(法施行規則第40条の2)
(PCT規則43の2.1)

発送日
(日.月.年)

08.6.2004

今後の手続きについては、下記2を参照すること。

出願人又は代理人
の登録記号

549061B

国際出願番号

PCT/J P 2004/004015

国際出願日

(日.月.年) 24.03.2004

優先日

(日.月.年)

国際特許分類 (IPC) Int. Cl. H01P1/15

出願人 (氏名又は名称)

三菱電機株式会社

1. この見解書は次の内容を含む。

- ☒ 第I欄 見解の基礎
- ☐ 第II欄 優先権
- ☐ 第III欄 新規性、進歩性又は産業上の利用可能性についての見解の不作成
- ☐ 第IV欄 発明の単一性の欠如
- ☒ 第V欄 PCT規則43の2.1(a)(i)に規定する新規性、進歩性又は産業上の利用可能性についての見解、それを裏付けるための文献及び説明
- ☐ 第VI欄 ある種の引用文献
- ☐ 第VII欄 国際出願の不備
- ☐ 第VIII欄 国際出願に対する意見

2. 今後の手続き

国際予備審査の請求がされた場合は、出願人がこの国際調査機関とは異なる国際予備審査機関を選択し、かつ、その国際予備審査機関がPCT規則66.1の2(b)の規定に基づいて国際調査機関の見解書を国際予備審査機関の見解書とみなさない旨を国際事務局に通知していた場合を除いて、この見解書は国際予備審査機関の最初の見解書とみなされる。

この見解書が上記のように国際予備審査機関の見解書とみなされる場合、様式PCT/ISA/220を送付した日から3月又は優先日から2月のうちいずれか遅く満了する期限が経過するまでに、出願人は国際予備審査機関に、適当な場合は補正書とともに、答弁書を提出することができる。

さらなる選択肢は、様式PCT/ISA/220を参照すること。

3. さらなる詳細は、様式PCT/ISA/220の備考を参照すること。

見解書を作成した日

21.05.2004

名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号100-8915

東京都千代田区鍛冶三丁目4番3号

特許庁審査官 (権限のある職員)
新川 重二

5T

8623

電話番号 03-3581-1101 内線 6711

様式PCT/ISA/237 (表紙) (2004年1月)

第1欄 見解の基礎

1. この見解書は、下記に示す場合を除くほか、国際出願の官語を基礎として作成された。

- ☐ この見解書は、_____ 語による翻訳文を基礎として作成した。
それは国際調査のために提出されたPCT規則12.3及び23.1(b)にいう翻訳文の官語である。

2. この国際出願で開示されかつ請求の範囲に係る発明に不可欠なヌクレオチド又はアミノ酸配列に関して、以下に基づき見解書を作成した。

- a. タイプ ☐ 配列表
☐ 配列表に関連するテーブル
- b. フォーマット ☐ 書面
☐ コンピュータ読み取り可能な形式
- c. 提出時期 ☐ 出願時の国際出願に含まれる
☐ この国際出願と共にコンピュータ読み取り可能な形式により提出された
☐ 出願後に、訂正のために、この国際調査機関に提出された

3. ☐ さらに、配列表又は配列表に関連するテーブルを提出した場合に、出願後に提出した配列若しくは追加して提出した配列が出願時に提出した配列と同一である旨、又は、出願時の開示を超える事項を含まない旨の陳述書の提出があった。

4. 補足意見:

第V欄 新規性、進歩性又は産業上の利用可能性についてのPCT規則43の2.1(a)(i)に定める見解、
それを裏付ける文献及び説明

1. 見解

新規性 (N)

請求の範囲 1-12

有

請求の範囲

無

進歩性 (IS)

請求の範囲

有

請求の範囲 1-12

無

産業上の利用可能性 (IA)

請求の範囲 1-12

有

請求の範囲

無

2. 文献及び説明

文献1: J P 5-299995 A (日本電信電話株式会社) 1993. 11.
12、全文、全図

文献2: J P 8-213472 A (日本電信電話株式会社) 1996. 08.
20、全文、全図

請求の範囲1-10.

文献1には、電界効果トランジスタのドレインおよびソースにインダクタを並列に接続し、電界効果トランジスタスイッチのオフ容量と該インダクタとを並列共振させること、ゲート幅を増加させるために電界効果トランジスタスイッチを並列接続すること、入力端子とグラウンド間に電界効果トランジスタスイッチを接続すること、電界効果トランジスタのドレインまたはソースにキャパシタを直列接続した直列回路にインダクタを並列接続した電界効果トランジスタスイッチにより、該スイッチがオンのときに直列共振させること、電界効果トランジスタスイッチを用いた単極双投スイッチ、が記載されており、これらの記載事項を適宜組み合わせることにより請求の範囲1-10に記載された発明は当業者が容易に想到し得たものと認められる。

請求の範囲11, 12

文献2には、トランジスタスイッチを用いて構成した双極双投スイッチが記載されており、該トランジスタスイッチとして文献1に記載された電界効果トランジスタスイッチを用いることは当業者が容易に想到し得るものと認められる。

REC'D 10 JUN 2004

WIPO

PCT

出願人代理人

田澤 博昭

あて名

〒 100-0013

東京都千代田区最ヶ関三丁目7番1号大東ビル7階

PCT
国際調査機関の見解書
(法施行規則第40条の2)
(PCT規則43の2.1)

発送日

(日.月.年)

08.6.2004

出願人又は代理人

の登録記号

549061B

今後の手続きについては、下記2を参照すること。

国際出願番号

PCT/J P 2004/004015

国際出願日

(日.月.年) 24.03.2004

優先日

(日.月.年)

国際特許分類 (IPC) Int.Cl. H01P1/15

出願人 (氏名又は名称)

三菱電機株式会社

1. この見解書は次の内容を含む。

- ☒ 第I欄 見解の基礎
- ☐ 第II欄 優先権
- ☐ 第III欄 新規性、進歩性又は産業上の利用可能性についての見解の不作成
- ☐ 第IV欄 発明の単一性の欠如
- ☒ 第V欄 PCT規則43の2.1(a)(i)に規定する新規性、進歩性又は産業上の利用可能性についての見解、それを裏付けるための文献及び説明
- ☐ 第VI欄 ある種の引用文献
- ☐ 第VII欄 国際出願の不信
- ☐ 第VIII欄 国際出願に対する意見

2. 今後の手続き

国際予備審査の請求がされた場合は、出願人がこの国際調査機関とは異なる国際予備審査機関を選択し、かつ、その国際予備審査機関がPCT規則66.1の2(b)の規定に基づいて国際調査機関の見解書を国際予備審査機関の見解書とみなさない旨を国際事務局に通知していた場合を除いて、この見解書は国際予備審査機関の最初の見解書とみなされる。

この見解書が上記のように国際予備審査機関の見解書とみなされる場合、様式PCT/ISA/220を送付した日から3月又は優先日から22月のうちいずれか遅く満了する期限が経過するまでに、出願人は国際予備審査機関に、適当な場合は補正書とともに、審判書を提出することができる。

さらなる選択肢は、様式PCT/ISA/220を参照すること。

3. さらなる詳細は、様式PCT/ISA/220の備考を参照すること。

見解書を作成した日

21.05.2004

名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号 100-8915

東京都千代田区最ヶ関三丁目4番3号

特許庁審査官 (権限のある職員)

新川 圭二

ST

8623

電話番号 03-3581-1101 内線 6711

様式PCT/ISA/237 (表紙) (2004年1月)

第1欄 見解の基礎

1. この見解書は、下記に示す場合を除くほか、国際出願の言語を基礎として作成された。

- ☐ この見解書は、_____ 語による翻訳文を基礎として作成した。
それは国際調査のために提出された PCT 規則 12.3 及び 23.1(b) にいう翻訳文の言語である。

2. この国際出願で開示されかつ請求の範囲に係る発明に不可欠なヌクレオチド又はアミノ酸配列に関して、以下に基づき見解書を作成した。

- a. タイプ ☐ 配列表
☐ 配列表に関連するテーブル
- b. フォーマット ☐ 巻面
☐ コンピュータ読み取り可能な形式
- c. 提出時期 ☐ 出願時の国際出願に含まれる
☐ この国際出願と共にコンピュータ読み取り可能な形式により提出された
☐ 出願後に、調査のために、この国際調査機関に提出された

3. ☐ さらに、配列表又は配列表に関連するテーブルを提出した場合に、出願後に提出した配列若しくは追加して提出した配列が出願時に提出した配列と同一である旨、又は、出願時の開示を超える事項を含まない旨の陳述書の提出があった。

4. 補足意見:

第V編 新規性、進歩性又は産業上の利用可能性についてのPCT規則43の2.1(a)(i)に定める見解、
それを裏付ける文献及び説明

1. 見解

新規性 (N)

請求の範囲 1-12

有

請求の範囲

無

進歩性 (IS)

請求の範囲

有

請求の範囲 1-12

無

産業上の利用可能性 (IA)

請求の範囲 1-12

有

請求の範囲

無

2. 文献及び説明

文献1: J P 5-299995 A (日本電信電話株式会社) 1993. 11.
12、全文、全図

文献2: J P 8-213472 A (日本電信電話株式会社) 1996. 08.
20、全文、全図

請求の範囲1-10

文献1には、電界効果トランジスタのドレインおよびソースにインダクタを並列に接続し、電界効果トランジスタスイッチのオフ容量と該インダクタとを並列共振させること、ゲート幅を増加させるために電界効果トランジスタスイッチを並列接続すること、入力端子とグランド間に電界効果トランジスタスイッチを接続すること、電界効果トランジスタのドレインまたはソースにキャパシタを直列接続した直列回路にインダクタを並列接続した電界効果トランジスタスイッチにより、該スイッチがオンのときに直列共振させること、電界効果トランジスタスイッチを用いた単極双投スイッチ、が記載されており、これらの記載事項を適宜組み合わせることにより請求の範囲1-10に記載された発明は当業者が容易に想到し得たものと認められる。

請求の範囲11, 12

文献2には、トランジスタスイッチを用いて構成した双極双投スイッチが記載されており、該トランジスタスイッチとして文献1に記載された電界効果トランジスタスイッチを用いることは当業者が容易に想到し得るものと認められる。